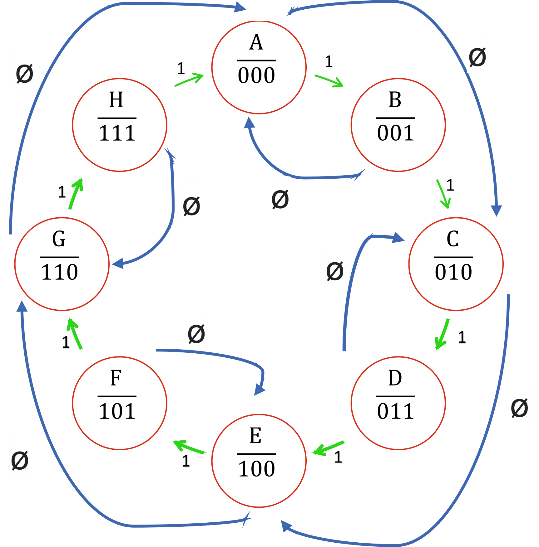
**DISSENY DIGITAL BÀSIC 2019-2020**

***PRÀCTICA 5: Implementació de màquines d'estats finits (dies 2, 3, 4, 12, i 13 de desembre)***

L'objectiu d'aquesta pràctica és realitzar la implementació d'una màquina d'estat. Per fer-ho, ens fixarem en un cas simple que teniu implementat a teoria: dissenyarem el control electrònic d’un joc d’atzar que tingui una única entrada anomenada ***X***, més el senyal de rellotge ***clock***, i tres bits ***Z2***, ***Z1*** i ***Z0*** com a sortida.

L’entrada X determinarà la natura exacta del canvi a les sortides bits ***Z2***, ***Z1*** i ***Z0***, de forma que si ***X*** = ‘1’, les sortides s’incrementaran en una unitat el seu valor actual en binari natural seguint una seqüència de mòdul 8 (cíclic). En canvi, si ***X*** = ‘0’, les sortides s’incrementaran en 2 el seu valor actual si aquest valor es parell, o disminuirà en una unitat el seu valor actual en cas contrari.

Això ho podem veure en el següent diagrama i la corresponent taula d’estats.



|  |  |  |  |
| --- | --- | --- | --- |
| **Q** | **Q+** | |  |
| **X=ø** | **X=1** | **Z** |
| **A** | **C** | **B** | **000** |
| **B** | **A** | **C** | **001** |
| **C** | **E** | **D** | **010** |
| **D** | **C** | **E** | **011** |
| **E** | **G** | **F** | **100** |
| **F** | **E** | **G** | **101** |
| **G** | **A** | **H** | **110** |
| **H** | **G** | **A** | **111** |

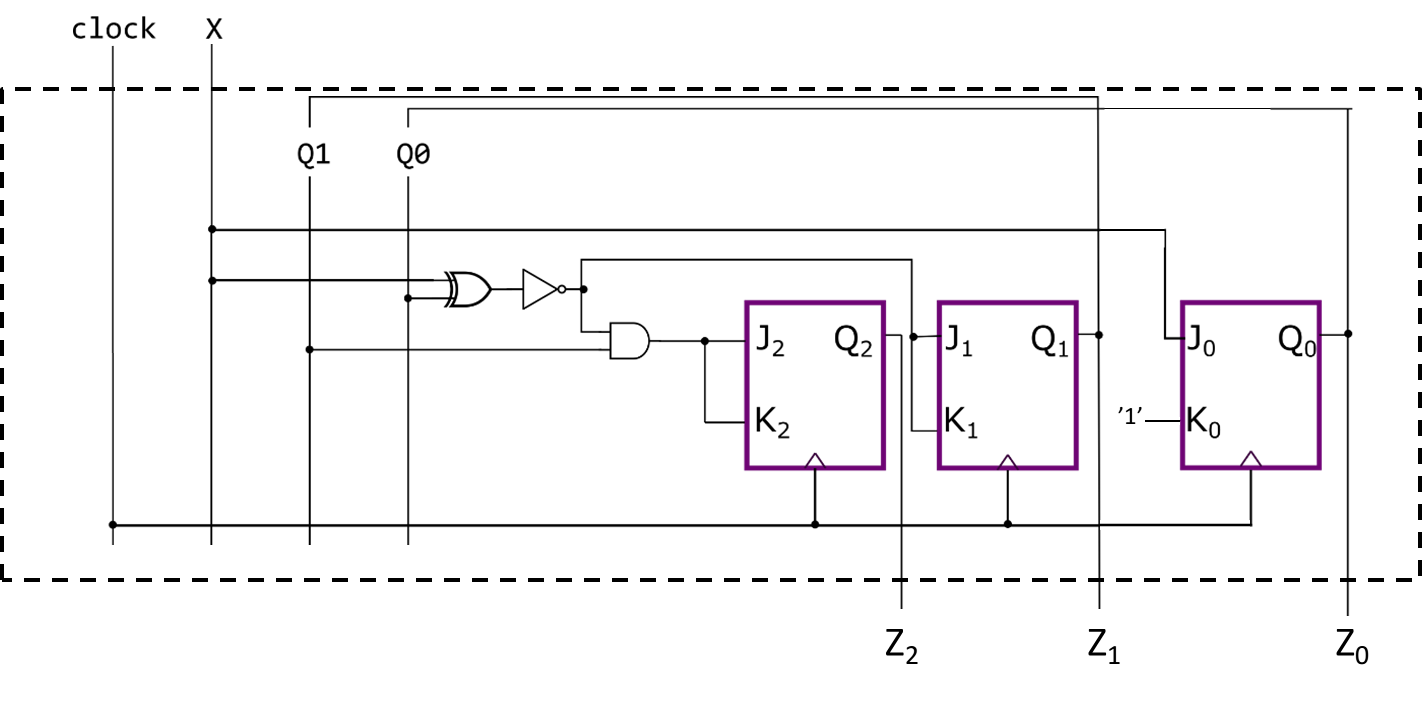
Una vegada fets el diagrama i la taula dels estats presents, futurs i la sortida, hem d’associar els estats presents i les sortides a uns FFs. Per fer-ho, utilitzarem flip-flops JK que s’activaran per flanc de pujada amb el senyal de rellotge. De fet, el senyal de rellotge no intervé a la definició dels estats i, en conseqüència, la sortida es asíncrona i això ens indica que és una màquina de “Moore”. Com que el sistema passa per 8 estats diferents, això ens obliga a fer servir un mínim de 8 estats; per tant, necessitarem 3 FF’s.

La taula corresponents a tots els estats possibles, els valors de les entrades dels FF’s-JK i les sortides es presenten a la taula següent:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Q2** | **Q1** | **Q0** | **X** | **Q2+** | **Q1+** | **Q0+** | **J2** | **K2** | **J1** | **K1** | **J0** | **K0** | **Z2** | **Z1** | **Z0** |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | x | 1 | x | 0 | x | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | x | 0 | x | 1 | x | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | x | 0 | x | x | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | x | 1 | x | x | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | x | x | 1 | 0 | x | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | x | x | 0 | 1 | x | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | x | x | 0 | x | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | x | x | 1 | x | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | x | 0 | 1 | x | 0 | x | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | x | 0 | 0 | x | 1 | x | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | x | 0 | 0 | x | x | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | x | 0 | 1 | x | x | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | x | 1 | x | 1 | 0 | x | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | x | 0 | x | 0 | 1 | x | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | x | 0 | x | 0 | x | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | x | 1 | x | 1 | x | 1 | 1 | 1 | 1 |

A partir d’aquí, podem simplificar per Karnaugh i establir una relació directe entre l’entrada X i les sortides, fent servir el FF’s-JK, de la forma:

O bé seguint l’esquema del circuit següent que és equivalent a les expressions de dalt:



**Treball a desenvolupar de forma autònoma:**

**(a entregar 48 hores abans de la vostra corresponent sessió de pràctiques a través de CampusVirtual)**

1. Revisa i comprova el funcionament de la màquina d’estats.
2. Reprodueix la taula de la veritat i simplifica els resultats per tal de comprovar les expressions que hem deduït.
3. Implementa amb el *QuestaSim* el circuit de la figura anterior fent servir una entitat anomenada ***circuit*** que tingui com els senyals de ***clock*** i ***X*** com a entrades d’un bit. Considera tres bits per a les sortides ***Z2***, ***Z1*** i ***Z0***, i tingues en compte un retard de 4 ns a les portes lògiques necessàries i als FF-JK.

Afegeix també les sortides necessàries per tal de poder visualitzar l’estat al banc de proves.

Hauràs de pujar 1 fitxer, SENSE COMPRIMIR, que continguin les següents informacions:

1. Un fitxer amb la entitat i arquitectura del Flip Flop JK de pujada, la entitat de la màquina d'estats, la arquitectura de la màquina d'estats i el banc de proves. El fitxer es dirà **Prev5\_Zxx\_Cognom1\_Cognom2\_Nom\_maquina.vhd** (**Zxx** serà el vostre número del grup de pràctiques).

Inclou dins del mateix fitxer les portes lògiques necessàries per tal que el sistema funcioni.